

日本国特許庁
JAPAN PATENT OFFICE

7. / Suzuki
9/30/03
Q77555
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月21日
Date of Application:

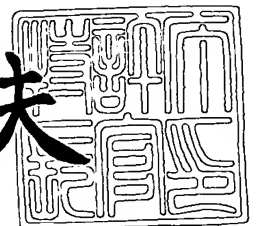
出願番号 特願2003-012804
Application Number:
[ST. 10/C]: [JP 2003-012804]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3064160

【書類名】 特許願
【整理番号】 72420001
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/148
H04N 1/195

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 都築 孝夫

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 リニアイメージセンサ

【特許請求の範囲】

【請求項 1】 フォトダイオード列に並行してシャッター構造が配設されたリニアイメージセンサにおいて、前記シャッター構造を構成するシャッターゲート電極の下部にシャッタードレインを設けることを特徴とするリニアイメージセンサ。

【請求項 2】 フォトダイオード列が 1 列からなる請求項 1 記載のリニアイメージセンサ。

【請求項 3】 シャッタードレインの上部が、シャッターゲート電極により覆われている請求項 1 または 2 記載のリニアイメージセンサ。

【請求項 4】 フォトダイオード列間にシャッター構造を設けたリニアイメージセンサにおいて、前記シャッター構造を構成するシャッターゲート電極の下部にシャッタードレインを設けることを特徴とするリニアイメージセンサ。

【請求項 5】 シャッタードレインの上部が、シャッターゲート電極により覆われている請求項 4 記載のリニアイメージセンサ。

【請求項 6】 フォトダイオード列の一方に並行して読み出しゲートが設けられ、この読み出しゲートに並行して CCD シフトレジスタが設けられ、この CCD シフトレジスタの出力に出力回路が設けられ、前記フォトダイオード列の他方に並行してシャッター構造が配設されたリニアイメージセンサにおいて、前記シャッター構造が、前記フォトダイオード列の他方に並行して配設されたシャッターゲート電極と、このシャッターゲート電極の下側に設けられたシャッタードレインとからなることを特徴とするリニアイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、リニアイメージセンサに関し、特にレイアウト面積を縮小できるリニアイメージセンサに関する。

【0002】

【従来の技術】

従来の技術として、フォトダイオード列間にシャッター構造を設けたリニアイメージセンサとして、特開平7-226495号公報に示されているものがある。このようなフォトダイオード列間に電子シャッター構造を有するリニアイメージセンサの全体構成例を図5に示し、また、図6には、図5のC-C'断面図とそのチャネル電位図を示す。

【0003】

このリニアイメージセンサは、フォトダイオード列101a、101bの各フォトダイオードで光電変換され、蓄積された電荷は、読み出しゲート102a、102bによりそれぞれに隣接するCCDシフトレジスタ103a、103bに読み出される。このCCDシフトレジスタ103a、103bに読み出された電荷は、2層($\Phi 1$ 、 $\Phi 2$)駆動により、各CCDシフトレジスタ103a、103bによって順次転送され、浮遊拡散領域によって形成され信号電荷を信号電圧に変換する信号電荷検出部とソースホロウ、インバータ等のアナログ回路からなる出力回路104a、104bによって外部に出力される。

【0004】

一方、読み出しゲート102a、102bとフォトダイオード列101a、101bの反対側に位置するシャッターゲート105a、105bは、フォトダイオード列101a、101bの各フォトダイオードで光電変換され蓄積された電荷をシャッタードレイン106へ排出し露光時間の調整を行う。

【0005】

このリニアイメージセンサの構造は、まず、N型シリコン基板107にP型不純物を注入しPウェル108を形成している。そのPウェル108上にN型領域111とP型領域112からなるフォトダイオード列101a、101b、多結晶シリコン電極114bからなる読み出しゲート102a、102b、シャッターゲート105a、105b、多結晶シリコン電極114aとN型領域110とからなるCCDシフトレジスタ103a、103b、N型領域115からなるシャッタードレイン106が配置されている。

【0006】

また、図6において、113は熱酸化膜、116は層間絶縁膜を示している。
また、各多結晶シリコン電極114a、114bに入力クロックを供給するアルミニウム等の金属配線は、本発明の説明には必要ないので省略している。

【0007】

上述したリニアイメージセンサを半導体基板107上に3本並列に配置し、各フォトダイオード列101a、101b上に異なる色（緑、青、赤）のカラーフィルター（Green、Blue、Red）をのせることによって形成されるカラーリニアイメージセンサを構成するような場合、それぞれの色によって露光量（フォトダイオードへの入射光量と蓄積時間の積）を調整する必要がある。

【0008】

このイメージセンサの性能を決める特性の一つに飽和出力電圧がある。一般にイメージセンサの出力信号電圧は、露光量（受光部への入射光量と蓄積時間の積）に対して比例する。しかしながら、ある一定の出力信号電圧以上は露光量が増加しても出力信号電圧は増加しなくなり、この値を飽和出力電圧という。また、飽和出力電圧を与える露光量を飽和露光量という。この値が大きいほど使用できる信号電圧振幅が大きくなり、ダイナミックレンジ（飽和露光量とノイズ、たとえば暗出力との比）も大きくなるため、イメージセンサとしてはなるべく飽和出力電圧の大きいことが要求される。

【0009】

さて、上述したようなカラーリニアイメージセンサの場合、3本のリニアイメージセンサ上にカラーフィルターを形成しているため、それぞれのリニアイメージセンサの飽和出力電圧は、フォトダイオードやCCDシフトレジスタのサイズあるいはそれぞれの出力回路において最大信号電圧振幅を意図的に変えていない限りRGB3色で同一である。

【0010】

また、上述したようにイメージセンサとしては飽和出力電圧はなるべく大きい方がよいので、3色とも飽和出力電圧を同一にする方が自然である。ところが、上述したようなカラーリニアイメージセンサの場合、通常RGB出力の感度（出力信号電圧／露光量）は3色で同一ではない。また、仮にある光源のもとでRG

B出力の感度が同一であったとしても使用する光源が変わった場合、RGB出力の感度は同一になるとは限らない。したがって、一般にカラーリニアイメージセンサの露光量と信号出力電圧の関係は、図7のようになる。この図7では、RGB出力のうちGreenが最大の感度を持ち、Blueが最小の感度を持つ場合を示している。

【0011】

図7からわかるように、RGB出力の飽和出力 V_{saG} は本来同一であるにも関わらず、最大感度Green以外の出力はそれぞれ V_{saR} 、 V_{saB} までしか出力値を使用することが出来ない。なぜなら、飽和路光量のSEG（Green出力の飽和出力電圧を与える露光量）をこえてこのカラーリニアイメージセンサを使用した場合、Green出力が飽和出力電圧を超えてしまい、Greenに関して正常な画像データを得ることが出来ないためである。あるいは、Green出力のフォトダイオード部やCCDシフトレジスタでオーバーフローした信号電荷が他の2色のフォトダイオード部やCCDシフトレジスタに流入して混色を起こす場合もあり得る。いずれにしてもこの例では、実質的な飽和出力電圧はGreenが最大でBlueが最小となるため色ごとにダイナミックレンジが異なり画質に影響を与える。

【0012】

そこで、シャッター構造を利用すると同一の光量で各色毎に蓄積時間をコントロールすることが出来る。その駆動方法を、図8のタイミング図に示す。各色のシャッターゲートにかかる駆動パルス进行调整することによって3色ともに最適の露光量を得られ、3色共通の飽和出力電圧まで使用することが出来る。

【0013】

【特許文献1】

特開平7-226495号公報

【0014】

【発明が解決しようとする課題】

上述した従来例で示されているような、フォトダイオード間のMTF改善等を目的として、フォトダイオード列を2列持つリニアイメージセンサにおいて、そ

のフォトダイオード間にシャッター構造を有する場合、2列あるフォトダイオード列間の距離が問題となる場合がある。

【0 0 1 5】

リニアイメージセンサを用いたスキャナやコピー機では、リニアイメージセンサをフォトダイオード列の配列方向（主走査方向）に対して垂直に（副走査方向）機械的な走査を行っており、被写体上の所定の場所における画像に対する情報を得るために、被写体の所定の場所を1本目のフォトダイオード列が走査してから2本目のフォトダイオード列が走査し終わるまで情報を外部で記憶し、そろえてから信号処理を行う必要がある。このため外部メモリが必要となる。

【0 0 1 6】

例えば、高解像度のスキャナや、コピー機に用いられる10600画素クラスのリニアイメージセンサでは、グレースケール（黒から白までの階調）を12ビットとる場合、必要なメモリの容量は

$$C = 10600 \times 12 \times (M + 1) \text{ ビット} \cdots \cdots (1)$$

となる。ここでMは2つのフォトダイオード列のライン間距離を走査回数で表したものである。

【0 0 1 7】

例えば、フォトダイオードのサイズが $4 \mu\text{m} \times 4 \mu\text{m}$ フォトダイオード列間のライン間距離が $12 \mu\text{m}$ である場合には

$$M = 12 \mu\text{m} / 4 \mu\text{m} = 3 \cdots \cdots (2)$$

となり、外部メモリの容量は508800ビットとなる。この式(1)から分るように、外部メモリの容量を小さくするには、フォトダイオード列間のライン間距離を短くして1本目が走査してから2本目が走査するまでの走査回数を少なくする必要がある。

【0 0 1 8】

また、副走査方向へ機械的な走査を行っているため、色ずれという現象も存在する。例えば、1回の走査に対して同一量の走査ずれYが存在する場合を考えると、1本目が走査した場所から2本目が走査する場所までのずれの総和は、

$$Y_A = M \times Y \cdots \cdots (3)$$

となる。こちらも式(3)から分るように、色ずれを小さくするためには、ライン間距離を短くして1本目が走査してから2本目が走査するまでの走査回数を少なくする必要がある。

【0019】

また、図6から分るように、このライン間距離Mを構成する要素は、シャッターゲートを構成する多結晶シリコン電極2つとシャッタードレインを構成するN型領域の幅である。

【0020】

また、このリニアイメージセンサでカラーリニアイメージセンサを構成する場合、上記と同様の理由で各色間のライン間距離を縮めることは、1色目が走査してから3色目が走査するまでの走査回数を少なくすることが出来、使用メモリの容量の減少や色ずれの影響を抑える効果があることは、明らかである。

【0021】

本発明の目的は、これら問題を解決し、レイアウト面積を縮小することにより、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をすることが出来るリニアイメージセンサを提供することにある。

【0022】

【課題を解決するための手段】

本発明の構成は、フォトダイオード列に並行してシャッター構造が配設されたリニアイメージセンサにおいて、前記シャッター構造を構成するシャッターゲート電極の下部にシャッタードレインを設けることを特徴とする。

【0023】

本発明において、フォトダイオード列が1列からなることもでき、また、シャッタードレインの上部が、シャッターゲート電極により覆われていることもできる。

【0024】

本発明の他の構成は、フォトダイオード列間にシャッター構造を設けたリニアイメージセンサにおいて、前記シャッター構造を構成するシャッターゲート電極

の下部にシャッタードレインを設けることを特徴とする。

【0025】

本発明においても、シャッタードレインの上部が、シャッターゲート電極により覆われていることもできる。

【0026】

本発明のさらに他の構成は、フォトダイオード列の一方に並行して読み出しゲートが設けられ、この読み出しゲートに並行してCCDシフトレジスタが設けられ、このCCDシフトレジスタの出力に出力回路が設けられ、前記フォトダイオード列の他方に並行してシャッター構造が配設されたりニアイメージセンサにおいて、前記シャッター構造が、前記フォトダイオード列の他方に並行して配設されたシャッターゲート電極と、このシャッターゲート電極の下側に設けられたシャッタードレインとからなることを特徴とする。

【0027】

本発明の構成において、従来技術では、フォトダイオード間に2つ配置されていたシャッターゲートを1つ（共通電極）とし、そのゲート下にシャッタードレインのN型領域を設けたものである。また、2つのフォトダイオード間でなくても、シャッタードレインをシャッターゲート下部に配置することにより、シャッター構造を実現するためのレイアウトパターン面積を縮小することが出来る。

【0028】

本発明の構成によれば、フォトダイオード列間にシャッター構造を有したりニアイメージセンサにおいて、そのフォトダイオード間の間隔を縮めることにより、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をするものである。

【0029】

【発明の実施の形態】

次に本発明の実施形態を図面により詳細に説明する。図1は本発明の第1の実施形態を示す全体レイアウトを示す概略平面図であり、図2は図1における破線で示されたA-A'断面図を示す。本実施形態は、従来例の図5、図6と比較して、各フォトダイオード列101a、101bに隣接して配置され2本存在した

シャッターゲート電極 105a、105b が共通化され 1 本のシャッターゲート電極 5 となっている。また、それぞれのシャッターゲート電極 105a、105b の間に存在したシャッタードレイン 106 がシャッターゲート電極 5 の下部に配置されたシャッタードレイン 6 となっている。これ以外の構成は、従来例と変わっていない。

【0030】

本実施形態の構造は、まず、N 型シリコン基板 7 に P 型不純物を注入し P ウェル 8 を形成している。その P ウェル 8 上に N 型領域 11 と P 型領域 12 からなるフォトダイオード列 1a、1b、多結晶シリコン電極 14b からなる読み出しゲート 2a、2b、シャッターゲート 5、多結晶シリコン電極 14a と N 型領域からなる CCD シフトレジスタ 3a、3b、N 型領域 15 からなるシャッタードレイン 6 が配置されている。

【0031】

また、図 2 において、9 は素子分離領域の P 型領域、13 は熱酸化膜、16 は層間絶縁膜を示している。また、各多結晶シリコン電極 14a、14b に入力クロックを供給するアルミニウム等の金属配線は、本特許の説明には必要ないので省略している。

【0032】

本実施形態の動作は、まずフォトダイオード列 1a、1b の各フォトダイオードで光電変換され、蓄積された電荷は、読み出しゲート 2a、2b によりそれぞれに隣接する CCD シフトレジスタ 3a、3b に読み出される。CCD シフトレジスタに読み出された電荷は、2 層 ($\Phi 1$ 、 $\Phi 2$) 駆動の CCD シフトレジスタによって順次転送され、浮遊拡散領域によって形成され信号電荷を信号電圧に変換する信号電荷検出部とソースホロワ、インバータ等のアナログ回路からなる出力回路 4a、4b によって外部に出力される。

【0033】

一方、読み出しゲート 2a、2b とフォトダイオード列 1a、1b をはさんで反対側に位置するシャッターゲート 5 は、フォトダイオード列 1a、1b の各フォトダイオードで光電変換され蓄積された電荷をシャッタードレイン 6 へ排出し

蓄積時間の調整を行う。

【0034】

従来の構成では、シャッターゲート電極（105 a, b）が2電極有り、その間にシャッタードレイン（106）構造を設けていたため、2つのフォトダイオード列101 a, bの間隔は、シャッターゲートを構成する多結晶シリコン電極114 bの最小幅×2本と最小間隔の総和で下限が決まっていた。例えば、最小幅3.0 μm で最小間隔1.0 μm の場合 $3.0 \times 2 + 1.0 = 7.0 \mu\text{m}$ となる。

【0035】

これに対して本実施形態では、シャッターゲート電極5を共通電極とし、その下部にシャッタードレイン構造（6）を設けるようにしているため、2つのフォトダイオード列1 a, 1 bの間隔は、シャッターゲートを構成する多結晶シリコン電極14 bの最初幅のみで決まる。上述の例の場合、3.0 μm となり、半分以下の領域で同一のシャッター構造を実現することが出来る。

【0036】

従って、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をすることが出来る。

【0037】

図3、図4は本発明の第2の実施形態を示す全体構成のレイアウトを示す概略平面図およびその破線で示されたB-B'断面図である。これら図3、図4においても、図1、図2と同一符号のものは同一構成物を示す。図3、図4から分るように、第1の実施形態と異なるところは、フォトダイオード列1が1列のみであることである。

【0038】

すなわち、フォトダイオード列1 a, 1 bが1列のフォトダイオード列1からなり、読み出しゲート2 a, 2 bも1列の読み出しゲート2、CCDシフトレジスタ3 a, 3 bも1列のCCDシフトレジスタ3、出力回路4 a, 4 bも1列の出力回路4からなる。またシャッターゲート5、シャッタードレイン6も1列である。本実施形態の動作も、第1の実施形態と変わることは無く、同様の動作を

する。

【0 0 3 9】

この第2の実施形態のリニアイメージセンサを用いてカラーリニアイメージセンサを構成する場合、各色間のライン間距離を縮小することが出来、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をすることが出来る。あるいは、各色間のライン間隔を同一に保った場合は、フォトダイオード、読み出しゲート、CCDシフトレジスタ等の他の部分のレイアウトパターンにかかる面積を拡大することが出来る。

【0 0 4 0】

【発明の効果】

以上説明したように本発明の構成によれば、シャッター構造を構成するシャッタードレインをシャッターゲートの下部に配置することにより、シャッター構造のレイアウトパターンの面積を縮小することが出来る。従って、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をすることが出来るという効果がある。

【0 0 4 1】

また、この第2の実施形態のリニアイメージセンサを用いてカラーリニアイメージセンサを構成する場合、各色間のライン間距離を縮小することが出来、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をすることが出来る。あるいは、各色間のライン間隔を同一に保った場合は、フォトダイオード、読み出しゲート、CCDシフトレジスタ等の他の部分のレイアウトパターンにかかる面積を拡大することが出来るという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第1の実施形態を説明するリニアイメージセンサのレイアウトを示す概略平面図。

【図 2】

図 1 の A—A' 部分の断面図およびそのチャネル電位分布図。

【図 3】

本発明の第 2 の実施形態を説明するリニアイメージセンサのレイアウトを示す概略平面図。

【図 4】

図 3 の B—B' 部分の断面図およびそのチャネル電位分布図。

【図 5】

従来例を説明するリニアイメージセンサのレイアウトを示す概略平面図。

【図 6】

図 5 の C—C' 部分の断面図およびそのチャネル電位分布図。

【図 7】

図 5 の動作の出力特性を説明するグラフ。

【図 8】

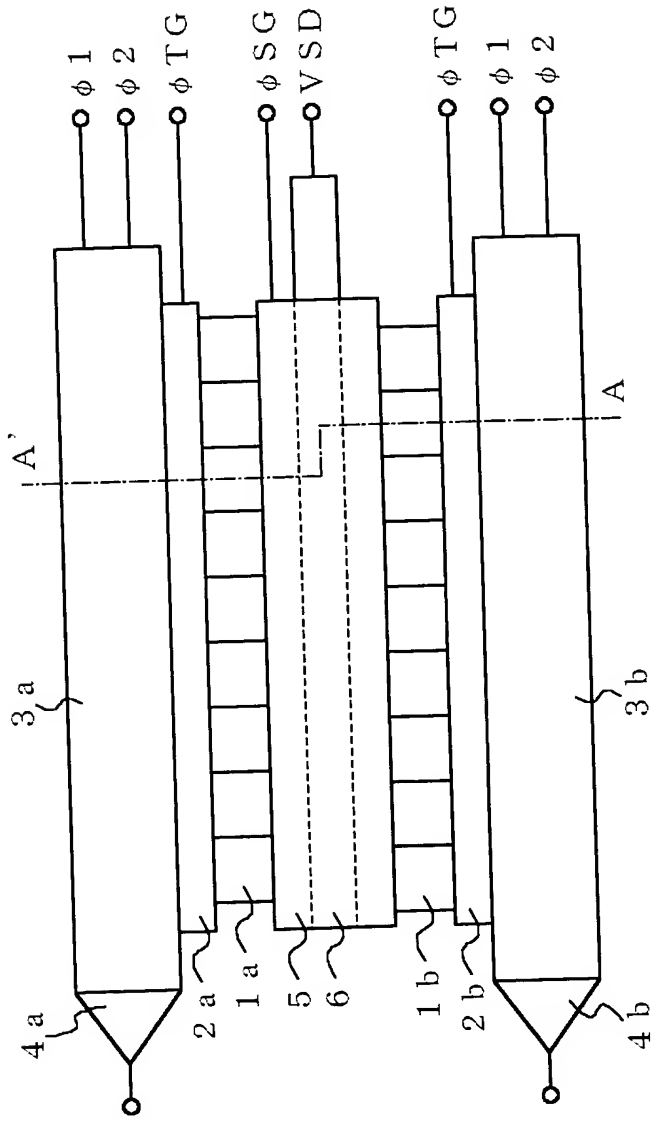
図 5 の動作タイミングを説明する動作波形図、

【符号の説明】

1, 1 a, 1 b, 1 0 1 a, 1 0 1 b	フォトダイオード列
2, 2 a, 2 b, 1 0 2 a, 1 0 2 b	読み出しゲート
3, 3 a, 3 b, 1 0 3 a, 1 0 3 b	CCDシフトレジスタ
4, 4 a, 4 b, 1 0 4 a, 1 0 4 b	出力回路
5, 1 0 5 a, 1 0 5 b	シャッターゲート
6, 1 0 6	シャッタードレイン
7, 1 0 7	N型シリコン基板
8, 1 0 8	Pウェル
9, 1 0 9	素子分離領域のP型領域
1 0, 1 1, 1 5, 1 1 0, 1 1 1, 1 1 5	N型領域
1 2, 1 1 2	P型領域
1 3, 1 1 3	熱酸化膜
1 4 a, 1 4 b, 1 1 4 a, 1 1 4 b	多結晶シリコン電極
1 6, 1 1 6	層間絶縁膜

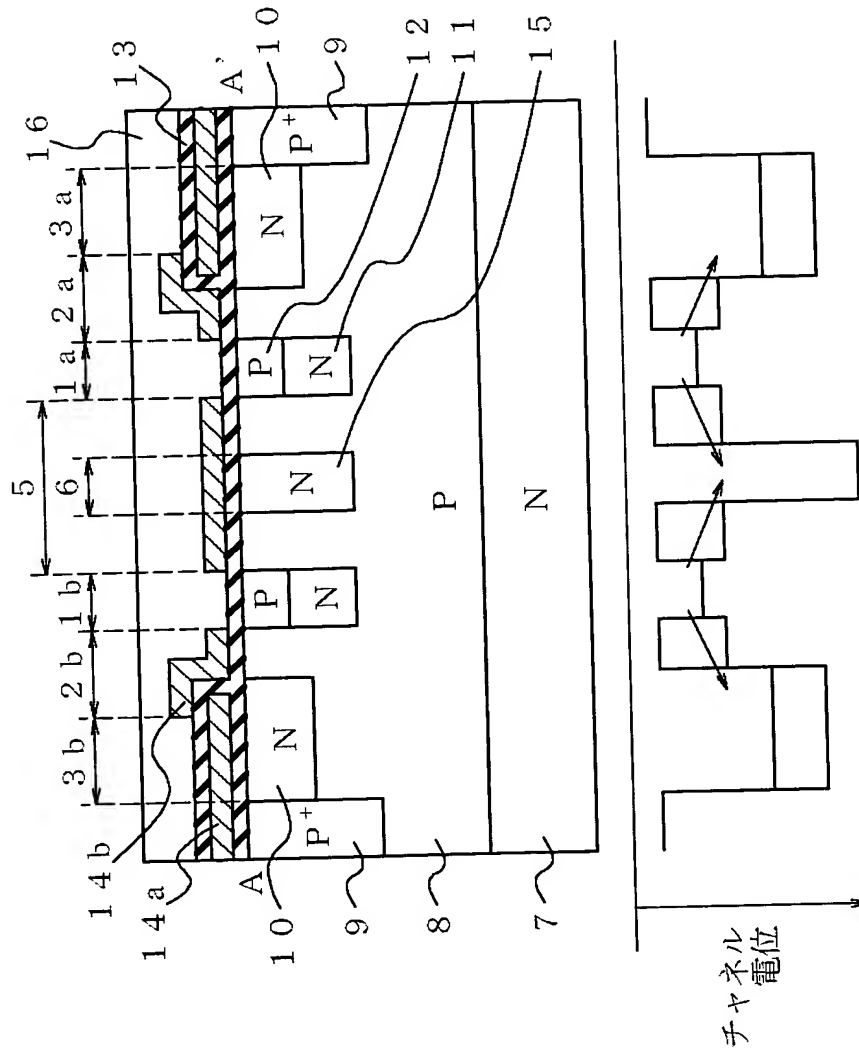
【書類名】 図面

【図 1】

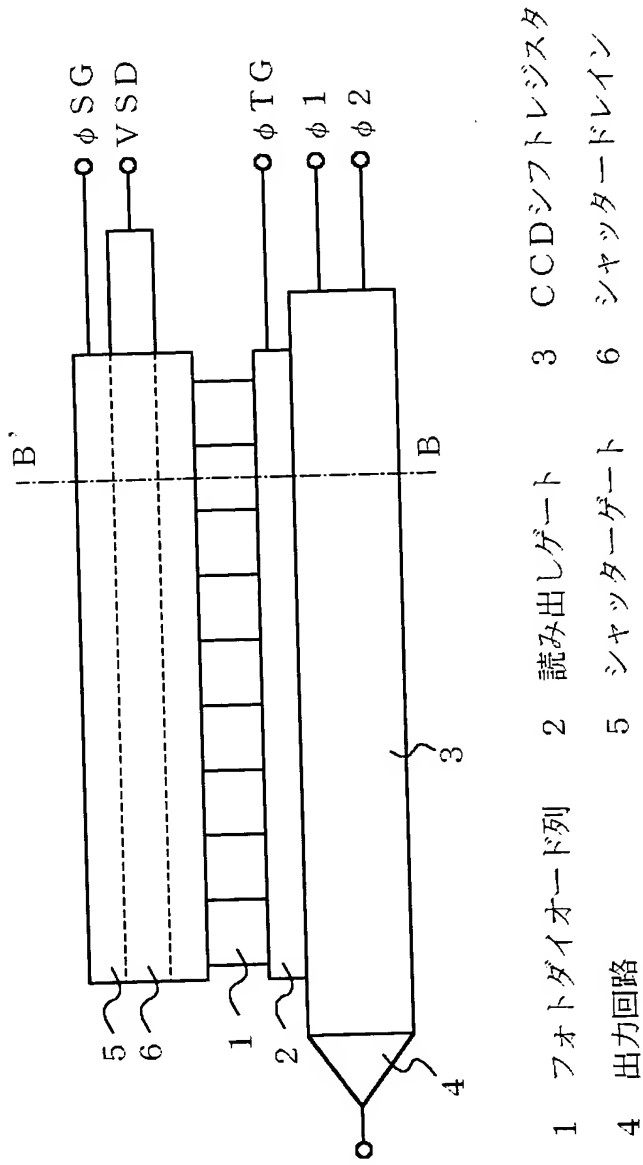


- 1 a, 1 b フォトダイオード列
- 2 a, 2 b 読み出しゲート
- 3 a, 3 b CCDシフトレジスタ
- 4 a, 4 b 出力回路
- 5 シャッターゲート
- 6 シャッタードレイン

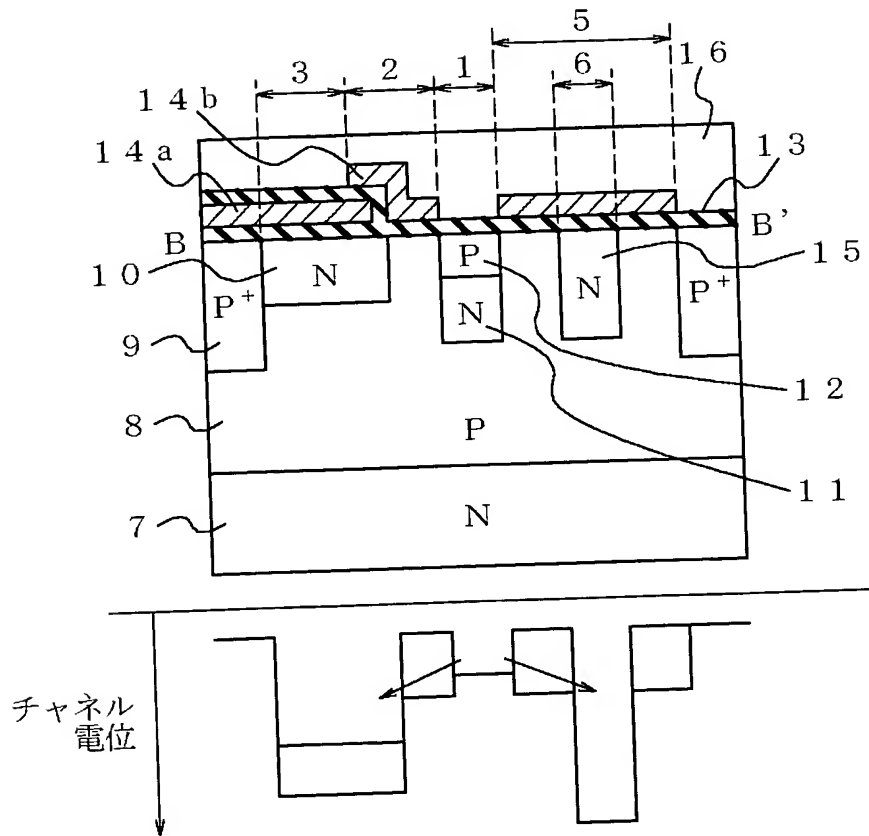
【図 2'】



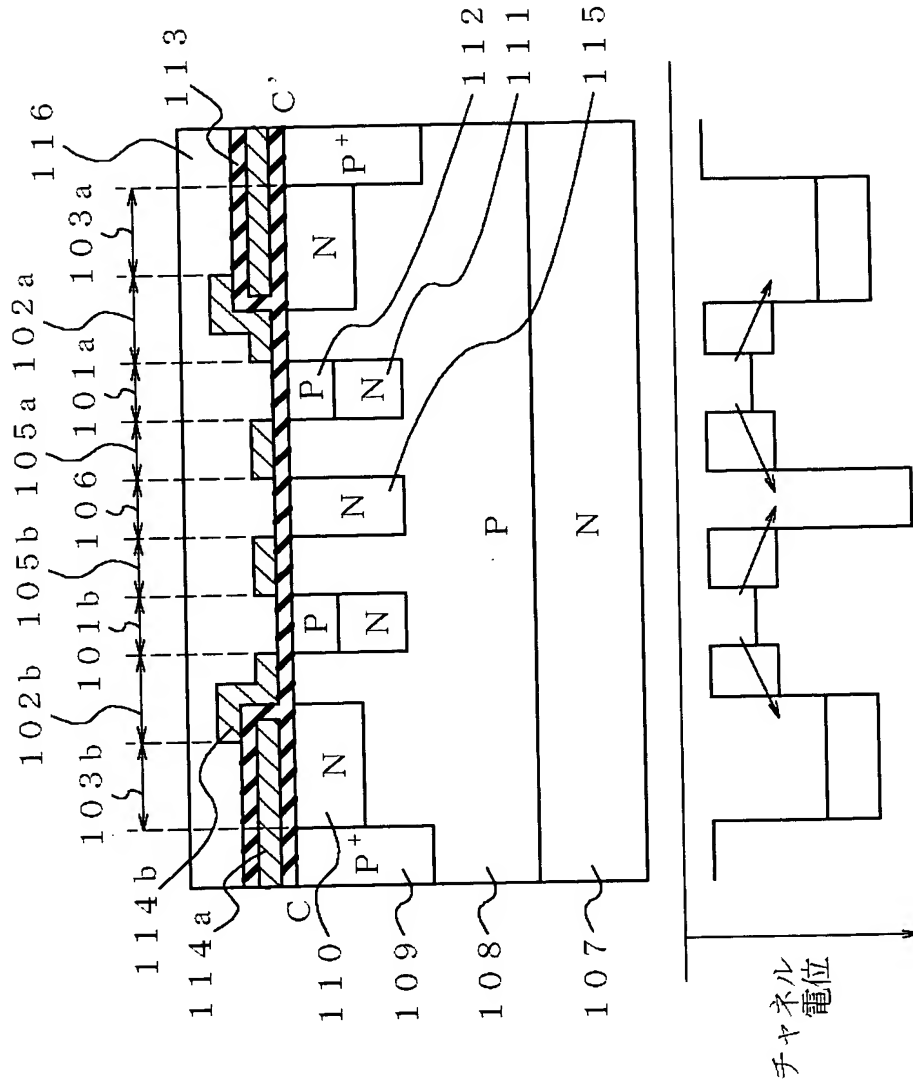
【図 3】



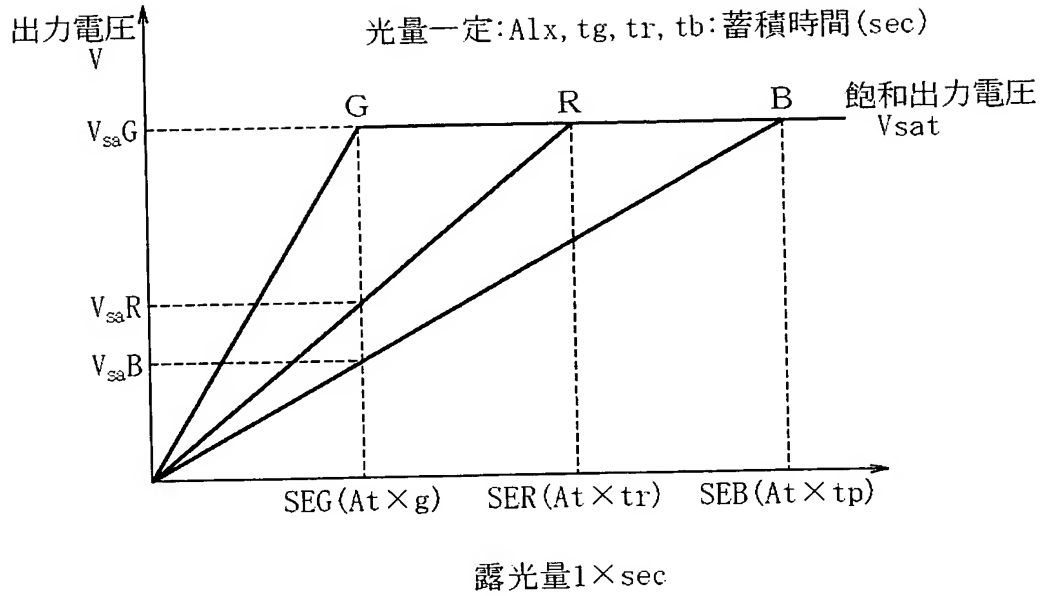
・【図 4】



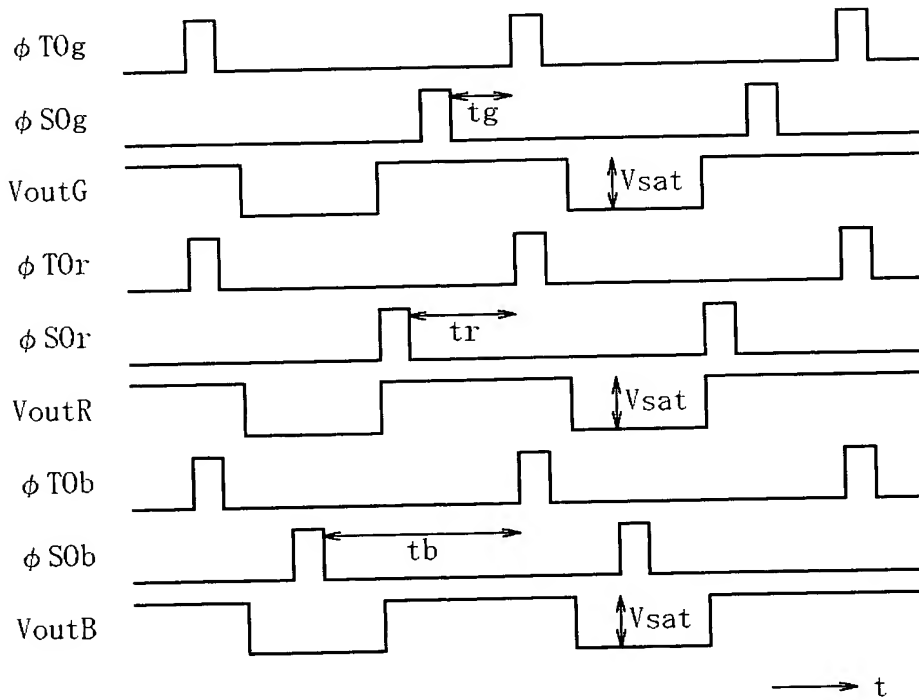
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 レイアウト面積を縮小し、1ラインの画像データを得るために必要な副走査方向の走査回数を減らし、使用するメモリ容量の低減や色ずれの影響の低減をする。

【解決手段】 フォトダイオード列1 a, 1 b間にシャッター構造を設けたリニアイメージセンサにおいて、前記シャッター構造を構成するシャッターゲート電極5の下部にシャッタードレイン6を設けることを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 2 8 0 4
受付番号	5 0 3 0 0 0 9 2 1 4 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 2 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月21日

次頁無

特願 2 0 0 3 - 0 1 2 8 0 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社